

⑨ 日本国特許庁 (JP) ⑩ 特許出願公開
 ⑪ 公開特許公報 (A) 昭60—1825

⑫ Int. Cl. ⁴ H 01 G 4/06 // H 01 P 3/08	識別記号	府内整理番号 7185—5E 7741—5J	⑬ 公開 昭和60年(1985)1月8日 発明の数 1 審査請求 未請求
--	------	------------------------------	--

(全 3 頁)

⑭ インターデジタルキヤパシタ

⑮ 特願 昭58—110341

⑯ 出願 昭58(1983)6月20日

⑰ 発明者 高木直

鎌倉市上町屋325番地三菱電機
株式会社情報電子研究所内

⑱ 発明者 清野清春

鎌倉市上町屋325番地三菱電機
株式会社情報電子研究所内

⑲ 出願人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

⑳ 代理人 弁理士 大岩増雄 外2名

明細書

1. 発明の名称

インターデジタルキヤパシタ

2. 特許請求の範囲

複数のフィンガー(finger)を有する2本のストリップ導体を誘電体基板上に互いに対向して配置して構成したマイクロ波集積回路であるインターデジタルキヤパシタにおいて、誘電体基板上の所定の個所に複数のフィンガーを有する第1のストリップ導体を配置し、上記第1のストリップ導体に設けられたフィンガー上に所定の広がりを有する絶縁体である薄膜を配備し、上記絶縁体である薄膜上に複数のフィンガーを有する第2のストリップ導体を配置し、かつ、上記第1のストリップ導体に設けられたフィンガー部分と、上記第2のストリップ導体に設けられたフィンガー部分とを互いに対向して配置したことを特徴とするインターデジタルキヤパシタ。

3. 発明の詳細な説明

この発明はマイクロ波集積回路であるインター

デジタルキヤパシタの改良に関するものである。

第1図は従来のこの種のインターデジタルキヤパシタの構成図である。第1図において、(1)は誘電体基板、(2)は接地導体、(3)は第1のストリップ導体、(4)は第2のストリップ導体である。上記第1および第2のストリップ導体の一端には互いに対向して複数のフィンガー(5)が設けられている。

第1図において、上記フィンガー(5)の幅を π 、長さを λ 、隣接した2つのフィンガーの間隔を a とし、また上記誘電体基板(1)の比誘電率を ϵ_r とすると、隣接した2つのフィンガー間に生じる単位長さ当たりの容積 C は一般に次式であたえられる。

$$C = \epsilon_0 (1 + \epsilon_r) \frac{\kappa}{\lambda} \quad (1)$$

ただし

$$\kappa = \int_{0}^{\frac{\pi}{2}} \frac{d\varphi}{\sqrt{1 - k^2 \sin^2 \varphi}}$$

$$\kappa' = \int_{0}^{\frac{\pi}{2}} \frac{d\varphi}{\sqrt{1 - k' \sin^2 \varphi}}$$

$$k = \tan^2 \frac{\pi a}{4b}$$

$$k' = 1 - k^2$$

$$a = \frac{\pi}{2}$$

$$b = \frac{\pi + s}{2}$$

ϵ_0 は真空中の誘電率

である。

第1図において全フインガー数がN本の場合、全容量 C_T は次式であたえられる。

$$C_T = C(N-1) \mu \quad (2)$$

式(1), (2)から大きな容量値を得るには、N, μ を大きくする方法もあるが、マイクロ波帯ではN, μ を大きくしていくとキャパシタ部分の寸法が波長に比べて無視できなくなりキャパシタとして動

作しなくなる等の悪影響等がでてくる。大きな容量を得る他の方法として隣接した2本のフインガー間に生じる単位長さ当たりの容量Cを大きくすればよい。ところでCは s/π の関数であり、特に $s \geq 0$, $\pi \leq b$ の範囲では、Cは s/π の単調減少関数となつている。このためCを大きくするには、 s を小さくするか b を大きくすればよい。 b を大きくするとその形状が大きくなり、上記と同様にマイクロ波帯においてキャパシタとして動作しなくなる等の問題がでてくるため π の値は極端に大きくすることはできない。従つて s を小さくすることによつて大容量を得ることがもつとも望ましいと考えられる。

しかし、寸法 a を小さくしていきマイクロ波集積回路の工作精度程度になると上記第1のストリップ導体(3)に設けられたフインガー(5)と上記第2のストリップ導体(4)に設けられたフインガー(5)とが接触する可能性があるため寸法 a の最小値に制約がある。

以上のように従来のこの種のインターデジタル

キャパシタでは、マイクロ波集積回路の工作精度の問題から寸法 a の最小値に制約があり、このため所望の大きな容量を得られないことがある欠点があつた。

この発明はこのような欠点を除去するため、第1のストリップ導体に設けられたフインガーと第2のストリップ導体に設けられたフインガーとを絶縁体である薄膜を介して配置したもので、以下図面について詳細に説明する。

第2図はこの発明になるインターデジタルキャパシタの構成図であり、第3図は第2図のAA'断面図である。第1のストリップ導体(6)に設けられたフインガー(7)と第2のストリップ導体(8)に設けられたフインガー(9)との間に絶縁体である薄膜(10)を配置している。第2図において、上記第1のストリップ導体(6)に設けられたフインガー(7)と上記第2のストリップ導体(8)に設けられたフインガー(9)との間隔 a を小さくしていつても、絶縁体である薄膜(10)があるためフインガー(7)とフインガー(9)とが接触する問題がない。このため寸法 a の最小

値に制約が無く大きな容量を得ることが可能になる。特に絶縁体である薄膜(10)として、比誘電率が小さかつ厚さ t が小さなものを使用すれば上記薄膜(10)の影響を低減でき、従来のこの種のインターデジタルキャパシタの設計公式をそのまま適用することができる。

第4図はこの発明になるインターデジタルキャパシタの他の実施例の断面図である。第4図のようくフインガー(7)とフインガー(9)とが絶縁体である薄膜(10)を介して互いに重なり合つてもよい。

なお以上はすべてのフインガーの幅が等しい場合について述べたが、この発明はフインガーの幅が異なる場合に使用してもよい。また、すべての隣接するフインガーの間隔が等しい場合について述べたが間隔が異なる場合に使用してもよい。

またこの発明はモノリシックマイクロ波集積回路に用いてもよい。

以上のようにこの発明に係るインターデジタルキャパシタでは、互いに対向して配置された第1のストリップ導体に設けられたフインガーと第2

のストリップ導体に設けられたフィンガーとの間に絶縁体である薄膜を配位しているので、隣接したフィンガーの間隔を小さくする、もしくは互いに重ねて配置することが可能となるので大きな容量を得ることができる利点がある。

4. 図面の簡単な説明

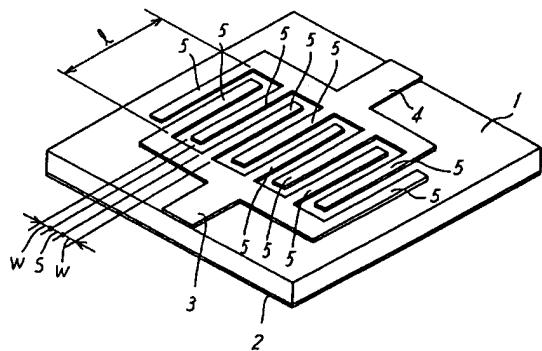
第1図は従来のこの種のインターデジタルキヤパシタの構成図、第2図はこの発明になるインターデジタルキヤパシタの構成図、第3図は第2図のAA'断面図、第4図はこの発明になるインターデジタルキヤパシタの他の実施例の断面図である。

図中、(1)は誘電体基板、(2)は接地導体、(3)は第1のストリップ導体、(4)は第2のストリップ導体、(5)はフィンガー、(6)は第1のストリップ導体、(7)はフィンガー、(8)は第2のストリップ導体、(9)はフィンガー、(10)は絶縁体である薄膜である。

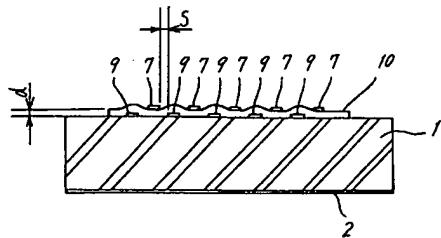
なお図中、同一あるいは相当部分には同一符号を付して示してある。

代理人 大岩増雄

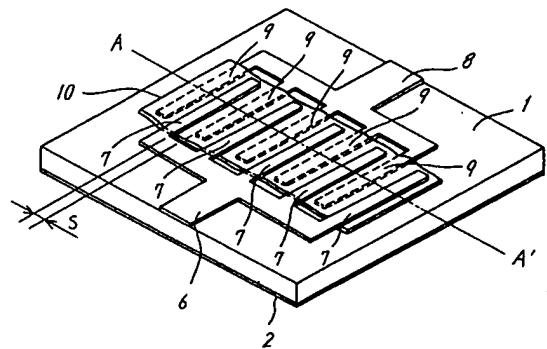
第1図



第3図



第2図



第4図

